

PAT-NO: JP405226365A

DOCUMENT-IDENTIFIER: JP 05226365 A

TITLE: THIN FILM TRANSISTOR, ACTIVE MATRIX SUBSTRATE OF
LIQUID CRYSTAL DISPLAY PANEL AND MANUFACTURE THEREOF

PUBN-DATE: September 3, 1993

INVENTOR-INFORMATION:

NAME

INAMI, TAKASHI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP04031003

APPL-DATE: February 18, 1992

INT-CL (IPC): H01L021/336, H01L029/784 , G02F001/136 , H01L027/12

US-CL-CURRENT: 257/66, 257/72

ABSTRACT:

PURPOSE: To provide a thin film transistor capable of reducing OFF current by the existing dimensional control.

CONSTITUTION: The source region 7 and the drain region 8 of a thin film transistor 2 are adjoining to each other in the true polycrystalline silicon region 3 capable of forming a channel 11 on a surface layer from the boundary surface 6 between the silicon region 3 and a gate oxide film 4 to a glass substrate 1 at the longitudinal directional distance L of about 400Å

BEST AVAILABLE COPY

exceeding the device length L_D of the silicon region 3. Such a longitudinal directional distance L can be controlled by the depth of the etching step.

COPYRIGHT: (C)1993,JPO&Japio

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the improvement technology of the drain current-gate-voltage property of TFT about the active-matrix substrate and its manufacture method of TFT and a liquid crystal display panel.

[0002]

[Description of the Prior Art] In the active-matrix substrate of a liquid crystal display panel etc., the TFT carried as the switching element For example, as shown in drawing 5, the gate oxide film 23 is formed in the front-face side of the intrinsic silicon layer 22 by the side of the front face of a substrate 21. An ion implantation is performed by using the gate electrode 24 on the front face as a mask, and by electric-conduction-izing a part of silicon layer, it is formed so that the source field 25 and the drain field 26 may serve as a self aryne. Moreover, as shown in drawing 6, the source field 32 and the drain field 33 are beforehand formed in the front-face side of a substrate 31, the intrinsic silicon layer 34 may be formed in a wrap state for the part by the side of those front faces, and the gate oxide film 35 and the gate electrode 36 may be formed in the front-face side. In the TFT of such structure The fields which stand face to face against the gate electrodes 24 and 36 through the gate oxide films 23 and 35 are the channel formation fields 27 and 37 (semiconductor region). If right potential is impressed to the gate electrodes 24 and 36 (ON state), a channel will be formed in the front-face side, the source fields 25 and 32 and the drain fields 26 and 33 will flow, and the drain current (I_d)-gate-voltage (V_g) property shown in drawing 7 with a dashed line 41 will be acquired.

[0003]

[Problem(s) to be Solved by the Invention] However, in the conventional TFT, as shown in drawing 7, even if it is the case (OFF state) where a negative gate voltage (V_g) is impressed to the gate electrodes 24 and 36, there is a problem that drain current (I_d) will flow. When a negative gate voltage (V_g) is impressed, an electron hole follows on the ability to draw near at the surface side of the channel formation fields 27 and 37, a thin electron hole accumulation layer is formed in the maximum surface, the reason is understood for contacting the source or a drain field, and the thickness of this electron hole accumulation layer has the property specified to the Debye length of the channel formation fields 27 and 37.

[0004] In order to solve such a problem, the structure which shifted the formation position of for example, a gate electrode, and a source field and a drain field for the structure of TFT in the longitudinal direction can be considered. Since according to this structure it is in contact with neither a source field nor a drain field even if an electron hole accumulation layer is formed in the maximum surface of a channel formation field when a negative gate voltage is impressed to a gate electrode, the drain current (OFF state current) in an OFF state can be reduced. However, in this structure, in order to prepare a-like 2-dimensional gap (offset field) between a gate electrode, and a source field and a drain field, since it tends to change the ON state current etc. with the size, the precision exceeding dimension control of a present exposure precision, a present etching precision, etc. is required, and there is a fatal problem of not being suitable for practical use.

[0005] The technical problem of this invention is in view of the above trouble to improve the arrangement structure of a channel formation field and a source drain field in three dimensions, and realize the active-matrix substrate and its manufacture method of the TFT which can enough reduce the OFF state current, and a liquid crystal display panel by the present dimension control.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the means provided in the TFT concerning this invention is preparing the source field and drain field which separate a predetermined lengthwise distance from the interface of the semiconductor region which can form a channel in a surface, the gate electrode which stands face to face against the front-face side of this semiconductor region through a gate insulator layer, and a semiconductor region and a gate insulator layer toward a substrate side, and adjoin the front-face side of a substrate at a semiconductor region. In this invention, the channel formation field which consists of intrinsic polycrystal silicon is included besides the channel formation field formed as a low concentration field with the semiconductor region which can form a channel in a surface.

[0007] It is desirable for it to be short for the purpose which reduces the OFF state current even on the minimum level, and to set up lengthwise distance for a long time here at it as compared with the Debye length of a semiconductor region as compared with the thickness of the depletion layer of a semiconductor region.

[0008] Moreover, when a pixel field is divided and the pixel electrode of each pixel field connects conductively to a drain

field by the gate line which extended from the gate electrode, and the signal line connected conductively to a source field, the active-matrix substrate of a liquid crystal display panel equipped with the above-mentioned TFT can be constituted.

[0009] In the manufacture method of the TFT of such composition For example, the process which forms a silicon layer to the field which should form the semiconductor region by the side of the front face of a substrate, a source field, and a drain field, The process which forms an insulator layer in a field including the formation field of a gate insulator layer, and the process which forms a conductor layer in a field including the formation field of a gate electrode, The patterning process which carries out patterning only of the conductor layer and forms a gate electrode, The process which etches into an insulator layer by using a gate electrode as a mask, and forms a gate insulator layer, Etch into a silicon layer by using a gate electrode as a mask, and it adds to performing the process which reduces the silicon layer thickness of the field which should form the source field of the silicon layers, and a drain field. The electric conduction-ized process which introduces an impurity into a silicon layer by using a gate electrode as a mask following one after a patterning process of processes, and forms a source field and a drain field is performed.

[0010]

[Function] When an operation of the TFT concerning this invention is explained by the n channel type case, a source field and a drain field the semiconductor region which can form a channel in a surface -- receiving -- the substrate side from the interface of a semiconductor region and a gate insulator layer -- going -- a predetermined lengthwise distance (offset distance) -- for example Since it is short and adjoins through a long distance (offset distance) as compared with the Debye length of a semiconductor region as compared with the depletion-layer thickness of a semiconductor region, If negative gate potential is impressed to a gate electrode (OFF state), although the electron hole accumulation layer of the thickness equivalent to the Debye length of this field will be formed in the maximum surface side of a semiconductor region, in order that this electron hole accumulation layer, a source field, and a drain field may not contact, drain current does not flow. On the other hand, if positive gate potential is impressed to a gate electrode (ON state), a channel is formed in a semiconductor region at a front-face side, and since a source field and a drain field will be in switch-on through the channel and the aforementioned offset distance of the same conductivity type, the usual TFT and the ON state current of this level will be obtained. Here, since a source field and a drain field, and the maximum surface of a semiconductor region are the structures separated in three dimensions by lengthwise, i.e., the structure using the difference of the thickness of each field, and it can manufacture by control of the etching depth, a high exposure precision etc. is not needed but it can fully manufacture in the precision of the present dimension control.

[0011]

[Example] Below, one example of this invention is explained based on an accompanying drawing.

[0012] Drawing 1 is the outline cross section of the TFT of this example. Here, TFT is formed on the glass substrate which constitutes the active-matrix substrate of a liquid crystal display panel.

[0013] TFT 2 is formed in the front-face side of a glass substrate 1 in drawing. this TFT 2 The intrinsic polycrystal silicon field 3 (semiconductor region) whose thickness formed in the front face of a glass substrate 1 is about 900A, The aluminium alloy slack gate electrode 5 which contains the silicon and copper to the polycrystal silicon field 3 through the gate oxide film 4 (gate insulator layer) whose thickness is about 1000A in the front-face side of this polycrystal silicon field 3, Each thickness which adjoins the polycrystal silicon field 3 through the lengthwise distance L toward a substrate side from the interface 6 of the polycrystal silicon field 3 and the gate oxide film 4 has about 500A source field 7 and the drain field 8. Therefore, the lengthwise distance L of the interface 6 of the polycrystal silicon field 3 and the gate oxide film 4 and the front face of the source field 7 and the drain field 8 is set as about 400A which is the difference of those thickness. Here, the source field 7 and the drain field 8 are formed as an n type diffusion field where Lynn as an n type impurity was introduced by each, and TFT 2 is n channel type TFT. in addition, SiO₂ used as a layer insulation film which deposited the layer currently formed in those front-faces side by CVD a film 13 -- it is -- the 1st connection -- a hole -- 9a -- minding -- the source field 7 -- the source electrode 9 (signal line) -- connecting conductively -- the 2nd connection -- a hole -- the drain electrode 10 (pixel electrode) connects conductively to the drain field 8 through 10a Here, TFT 2 is in the state where it was carried in active-matrix substrate 1a of a liquid crystal display panel, and is in the state where pixel field 1b was divided in the shape of a grid by gate line 5a which extended from the gate electrode 5, and the source electrode 9 (signal line) which connects conductively to the source field 7 as it is shown in drawing 2.

[0014] If an electropositive potential is impressed to the gate electrode 5 in TFT 2 of such composition when carrying out ON operation of it, negative charge concentrates on the surface side of the polycrystal silicon field 3, and it is the thickness WD from a surface side. An n type channel is formed with a depletion layer. Consequently, the source field 7 and the drain field 8 will be in switch-on through a channel and the offset section 11, and the drain current (Id)-gate potential (Vg) property shown in drawing 3 as a solid line 42 is acquired. In this drawing, the drain current (Id)-gate potential (Vg) property is the same as that of the drain current (Id)-gate potential (Vg) property of the conventional TFT shown in drawing 7, and abbreviation.

[0015] On the other hand, if an electronegative potential is impressed to the gate electrode 5 in TFT 2 of this example when carrying out OFF operation of it, it is Debye-length LD of this field to the maximum surface side of the polycrystal silicon field 3. The electron hole accumulation layer 12 of corresponding thickness is formed. However, in TFT 2 of this example, since the interface 6 of the polycrystal silicon field 3 and the gate oxide film 4 and the front face of the source field 7 and the drain field 8 have separated about 400A distance (offset section 11) in the lengthwise distance L, the electron hole accumulation layer 12, the source field 7, and the drain field 8 do not touch. So, in TFT 2 of this example, even if it is the

case where gate potential (V_g) is scanned to drawing 3 at a negative side as a solid line 42 shows, drain current (OFF state current) does not start like the conventional TFT which drain current (I_d) was held at the level of about 10-12 A, and was shown in drawing 5 and drawing 6.

[0016] Although the semiconductor region as a channel formation field in which a channel is formed is constituted from intrinsic polycrystal silicon 3 here. The high impurity concentration other than intrinsic polycrystal silicon is about $1 \times 10^{16}/\text{cm}^3$ about a channel formation field. Even if it is the case where it forms as the following low concentration fields

When an electropositive potential is impressed to the gate electrode 5. When an electronegative potential is impressed to the gate electrode 5 to being formed even in a depth (WD) of about 1000Å throughout the semiconductor thickness of 900Å by this example, the depletion layer of a semiconductor. The electron hole accumulation layer 12 is Debye-length LD of a channel formation field. It corresponds and is formed even in a depth of about 100Å. TFT 2 of this example improves the OFF state current property of TFT 2 using the balance of the depth of the depletion layer of such a semiconductor, and the depth of the electron hole accumulation layer 12. That is, the source field 7 and the drain field 8, and the maximum surface that the electron hole accumulation layer 12 of the polycrystal silicon field 3 generates are separated in three dimensions by lengthwise. For this reason, since it can constitute the improvement structure of an OFF state current property, in the manufacture process, unlike the structure separated in two dimensions, TFT 3 of this example does not need a high exposure precision etc., but can fully manufacture it on the level of the present dimension control with the etching depth to each field, as it mentions later.

[0017] Below, the manufacture method of TFT 2 is explained with reference to drawing 4. Drawing 4 (a) - (b) is a process cross section in which each shows a part of manufacture method of TFT 2.

[0018] First, as shown in drawing 4 (a), the polycrystal silicon layer 15 is formed to the TFT formation schedule field by the side of the front face of a glass substrate 1. Here, the polycrystal silicon layer 15 is formed of LPCVD membrane formation processing in which temperature forms a silicon layer in about 480 degrees C and the atmosphere of the low voltage force using Si two H₆, and excimer laser annealing processing (recrystallization processing), and the thickness is about 900Å.

[0019] Next, the thickness for forming the gate oxide film 4 in the front-face side of a glass substrate 1 by the ECRCVD method forms the silicon oxide 16 (insulator layer) which is about 1000Å.

[0020] Furthermore, the aluminium alloy layer 17 (conductor layer) which contains silicon and copper in the front-face side of a glass substrate 1 by the spatter is formed.

[0021] Next, as shown in drawing 4 (b), patterning of the aluminium alloy layer 17 is carried out, and the gate electrode 5 is formed.

[0022] Next, it etches into a silicon oxide 16 by using this gate electrode 5 as a mask, and leaves only the gate oxide film 4. In this etching, selective etching with the high etching capacity over a silicon oxide 16 and the low etching capacity over the polycrystal silicon layer 15 is performed so that it may etch alternatively to a silicon oxide 16 and the thickness of the lower layer side slack polycrystal silicon layer 15 may not be changed. It sets to this example and is CHF₃. The RIE method using gas was adopted. If RIE is performed on this condition, the ratio of the etch rate to a silicon oxide 16 and the etch rate to the polycrystal silicon layer 15 will be about 20:1 or about 30:1.

[0023] As it considers as a mask, it etches to the polycrystal silicon layer 15 and the gate electrode 5 is shown in drawing 4 (c) below, the polycrystal silicon layer thickness of the field which should form the source field 7 and the drain field 8 among the polycrystal silicon layers 15 is reduced even to about 500Å. Although RIE also performs this etching processing, CHF₄+O₂ gas with the etching capacity high as etching gas over the polycrystal silicon layer 15 is used.

[0024] Next, n-type impurity is introduced into the polycrystal silicon layer 15 by ion shower doping processing by using the gate electrode 5 as a mask, and the source field 7 and the drain field 8 are formed (electric conduction-ized process). To the front-face side of a glass substrate 1, consequently, the polycrystal silicon field 3 (semiconductor region), The aluminium alloy slack gate electrode [as opposed to the polycrystal silicon field 3 through the gate oxide film 4 (gate insulator layer) whose thickness is about 1000Å in the front-face side of this polycrystal silicon field 3] 5, TFT 2 which has the source field 7 and the drain field 8 which adjoin the polycrystal silicon field 3 through about 400Å lengthwise distance L from the front face of the polycrystal silicon field 3 is formed.

[0025] below, it is shown in drawing 4 (d) -- as -- CVD -- SiO₂ as a layer insulation film the 1st connection for connecting the source electrode 9 (signal line) conductively to the source field 7, after forming a film 13 -- the 2nd connection for connecting the drain electrode 9 (pixel electrode) conductively to hole 9a and the drain field 8 -- a hole -- 10a is formed. As shown in drawing 1, the source electrode 9 and the drain electrode 10 are formed in after an appropriate time one by one. In addition, in this example, since TFT 2 is used as a switching element of the matrix array of a liquid crystal display panel, the pixel electrode which consists of ITO as a drain electrode 10 has been adopted.

[0026] Since the polycrystal silicon layer 15, the silicon oxide 16, and the aluminium alloy layer 17 which carried out the laminating to the front-face side of a glass substrate 1 are only *****ed one by one from those surface side in the manufacture method of TFT 2 of this example as above, TFT 2 of OFF state current property improvement structure can be manufactured and a high exposure precision etc. so is not needed, it can fully manufacture on the level of the present dimension control.

[0027] In addition, about this electric conduction-ized process, as long as it is after forming the gate electrode 5 so that it can be used, using the gate electrode 5 as a mask, you may carry out in order of which process.

[0028] For example, after carrying out patterning of the gate electrode 5, before etching into the state 16 shown in drawing 4

(b), i.e., a silicon oxide, or before etching into the polycrystal silicon layer 15, you may perform ion shower doping processing or ion-implantation disposal processing. In this case, since introduction of an impurity is not performed to the sidewall sections 3a and 3b of the polycrystal silicon layer 3 which each shows to drawing 1 since it is before etching into the polycrystal silicon layer 15, it is easy to control the impurity distribution of the polycrystal silicon layer 3.

[0029] In addition, about TFT 2 of this example, there is no limitation in its use besides being the switching element of the matrix array of a liquid crystal display panel etc.

[0030]

[Effect of the Invention] Toward the interface of a semiconductor region and a gate insulator layer to the substrate side, as compared with the thickness of a predetermined lengthwise distance, for example, the depletion layer of a semiconductor region, a source field and a drain field are shown, and have the feature in the TFT concerning this invention to the semiconductor region which can form a channel in a surface as above to adjoin through a long distance as compared with the Debye length of a semiconductor region. If it is an n channel type, even if it follows, for example, it will impress negative gate potential to a gate electrode, the electron hole accumulation layer, source field, and drain field which are formed in the maximum surface of a semiconductor region do not touch. So, the OFF state current property in a drain current-gate potential property can be improved. Moreover, since the source field and the drain field, and the maximum surface of a semiconductor region are separated in three dimensions by lengthwise and it can manufacture by control of the etching depth, the need of the high exposure precision etc. cannot be carried out, but it can fully manufacture on the level of the present dimension control.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the structure of the TFT concerning the example of this invention.

[Drawing 2] It is the outline plan of a liquid crystal display panel equipped with the TFT shown in drawing 1.

[Drawing 3] It is the graphical representation showing the drain current-gate potential property of TFT shown in drawing 1.

[Drawing 4] (a) Or it is the process cross section in which all of (d) show a part of manufacture method of TFT shown in drawing 1.

[Drawing 5] It is the cross section showing the structure of the conventional TFT.

[Drawing 6] It is the cross section showing the structure of another conventional TFT.

[Drawing 7] It is the graphical representation showing the drain current-gate potential property of the conventional TFT.

[Description of Notations]

- 1 ... Glass substrate
- 1a ... Active-matrix substrate
- 1b ... Pixel field
- 2 ... TFT
- 3 ... Polycrystal silicon field
- 4 ... Gate oxide film (gate insulator layer)
- 5 ... Gate electrode
- 6 ... Interface
- 7 ... Source field
- 8 ... Drain field
- 9 ... Source electrode (signal line)
- 10 ... Drain electrode (pixel electrode)
- 11 ... Channel
- 12 ... Space charge layer
- 15 ... Polycrystal silicon layer
- 16 ... Silicon oxide
- 17 ... Aluminium alloy layer
- L ... Lengthwise distance
- LD ... Debye length

[Translation done.]

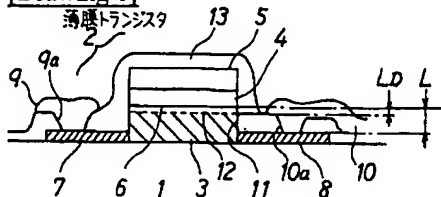
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

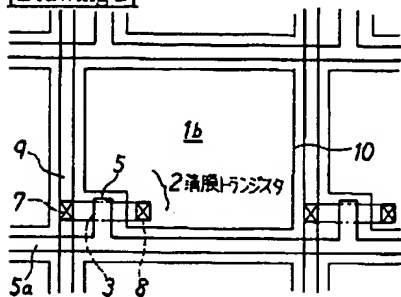
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

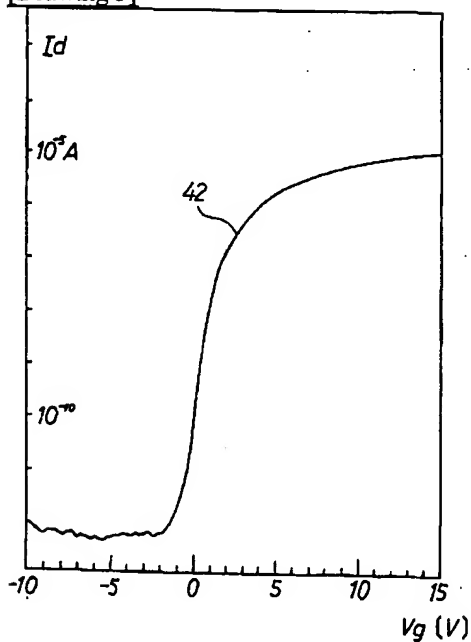
[Drawing 1]



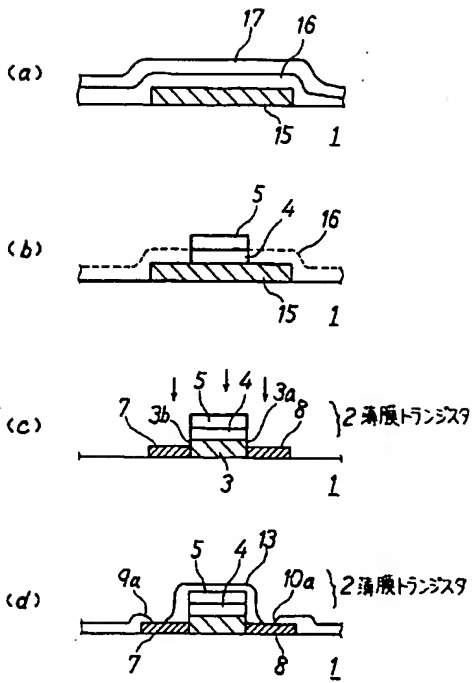
[Drawing 2]



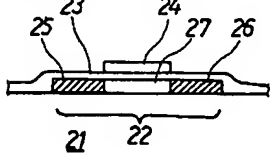
[Drawing 3]



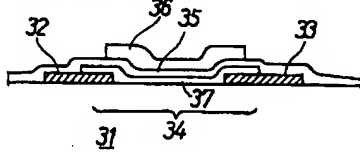
[Drawing 4]



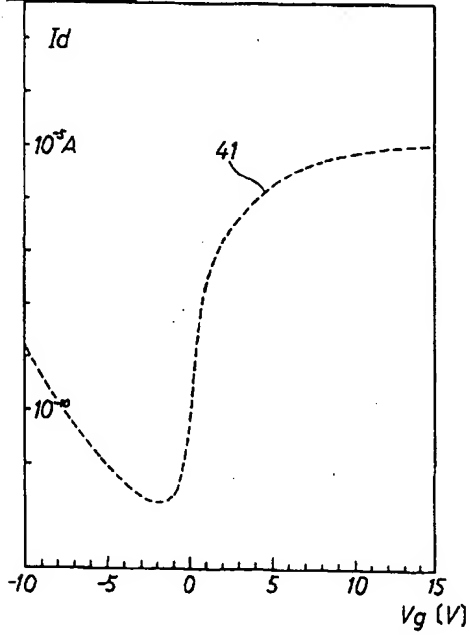
[Drawing 5]



[Drawing 6]



[Drawing 7]



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-226365

(43)公開日 平成5年(1993)9月3日

(51)IntCl ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/136	5 0 0	9018-2K	H 0 1 L 29/ 78	3 1 1 P
		9056-4M		3 1 1 A
		9056-4M		

審査請求 未請求 請求項の数4(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-31003

(22)出願日 平成4年(1992)2月18日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 居波 隆志

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

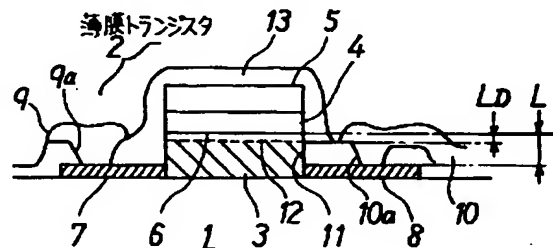
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 薄膜トランジスタ、液晶表示パネルのアクティブマトリクス基板およびその製造方法

(57)【要約】

【目的】 現状のディメンション制御でオフ電流を低減可能な薄膜トランジスタ、この薄膜トランジスタを備える液晶表示パネルのアクティブマトリクス基板およびその製造方法を実現すること。

【構成】 薄膜トランジスタ2のソース領域7およびドレイン領域8は、表層にチャネル11を形成可能な真性の多結晶シリコン領域3に対して、それとゲート酸化膜4との境界面6からガラス基板1に向かって、多結晶シリコン領域3のデバイ長さ L_D 以上の約400Åの縦方向距離 L を介して隣接している。このような縦方向距離 L は、それらの表面側からのエッチング深さで制御される。



1

【特許請求の範囲】

【請求項1】 基板の表面側に、表層にチャネルを形成可能な半導体領域と、この半導体領域の表面側にゲート絶縁膜を介して対峙するゲート電極と、前記半導体領域と前記ゲート絶縁膜との境界面から前記基板側に向かって所定の縦方向距離を隔てて前記半導体領域に隣接するソース領域およびドレイン領域と、を有することを特徴とする薄膜トランジスタ。

【請求項2】 請求項1において、前記縦方向距離は、前記半導体領域の空乏層の厚さに比して短く、前記半導体領域のデバイ長さに比して長いことを特徴とする薄膜トランジスタ。

【請求項3】 請求項1または請求項2に規定する薄膜トランジスタを備える液晶表示パネルのアクティブマトリクス基板であって、前記ゲート電極から延出したゲート線と、前記ソース領域に導電接続する信号線とによって画素領域が区画され、前記ドレイン領域には各画素領域の画素電極が導電接続していることを特徴とする液晶表示パネルのアクティブマトリクス基板。

【請求項4】 請求項1または請求項2に規定する薄膜トランジスタの製造方法であって、前記基板の表面側における前記半導体領域、前記ソース領域および前記ドレイン領域を形成すべき領域に対してシリコン層を形成する工程と、前記ゲート絶縁膜の形成領域を含む領域に絶縁膜を形成する工程と、前記ゲート電極の形成領域を含む領域に導電体層を形成する工程と、前記導電体層のみをパターンニングして前記ゲート電極を形成するパターンニング工程と、前記ゲート電極をマスクとして前記絶縁膜にエッチングを施して前記ゲート絶縁膜を形成する工程と、前記ゲート電極をマスクとして前記シリコン層にエッチングを施して、前記シリコン層のうちの前記ソース領域および前記ドレイン領域を形成すべき領域のシリコン層の厚さを低減する工程と、を有し、さらに、前記パターンニング工程以降のいずれかの工程に続いて、前記ゲート電極をマスクとして前記シリコン層に不純物を導入して前記ソース領域および前記ドレイン領域を形成する導電化工程を有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタ、液晶表示パネルのアクティブマトリクス基板およびその製造方法に関し、特に、薄膜トランジスタのドレイン電流ーゲート電圧特性の向上技術に関する。

【0002】

【従来の技術】 液晶表示パネルのアクティブマトリクス基板などにおいて、そのスイッチング素子として搭載される薄膜トランジスタは、たとえば、図5に示すように、基板21の表面側の真性のシリコン層22の表面側にゲート酸化膜23を形成しておき、その表面上のゲ-

2

ト電極24をマスクとしてイオン注入を行い、シリコン層の一部を導電化することによってソース領域25およびドレイン領域26がセルフアラインとなるように形成されている。また、図6に示すように、基板31の表面側に予めソース領域32およびドレイン領域33を形成しておき、それらの表面側の一部を覆う状態に真性のシリコン層34を形成し、その表面側にゲート酸化膜35およびゲート電極36を形成しておく場合もある。このような構造の薄膜トランジスタにおいては、ゲート電極24、36にゲート酸化膜23、35を介して対峙する領域がチャネル形成領域27、37（半導体領域）であって、ゲート電極24、36に正電位を印加すると（オン状態）、その表面側にチャネルが形成されて、ソース領域25、32とドレイン領域26、33が導通し、図7に破線41で示すドレイン電流（ I_d ）ーゲート電圧（ V_g ）特性が得られるようになっている。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の薄膜トランジスタにおいては、図7に示すように、ゲート電極24、36に負のゲート電圧（ V_g ）を印加した場合（オフ状態）であっても、ドレイン電流（ I_d ）が流れてしまうという問題がある。その理由は、負のゲート電圧（ V_g ）を印加したときに、チャネル形成領域27、37の表層側に正孔が引き寄せられるに伴って、その最表層に薄い正孔蓄積層が形成され、ソースあるいはドレイン領域と接触するためと理解され、この正孔蓄積層の厚さは、チャネル形成領域27、37のデバイ長さに規定される性質を有する。

【0004】 このような問題を解消するために、薄膜トランジスタの構造を、たとえば、ゲート電極と、ソース領域およびドレイン領域との形成位置を横方向にずらした構造が考えられる。この構造によれば、ゲート電極に負のゲート電圧を印加したときに、チャネル形成領域の最表層に正孔蓄積層が形成されても、ソース領域やドレイン領域とは接触していないため、オフ状態におけるドレイン電流（オフ電流）を低減できる。しかしながら、この構造においては、ゲート電極と、ソース領域およびドレイン領域との間に二次元的なギャップ（オフセット領域）を設けるため、その大きさによって、オン電流などが変動しやすいので、現状の露光精度やエッチング精度などのディメンション制御を越える精度が要求され、実用に適しないという致命的な問題がある。

【0005】 以上の問題点に鑑みて、本発明の課題は、チャネル形成領域とソース・ドレイン領域との配置構造を三次元的に改善して、現状のディメンション制御で十分にオフ電流を低減可能な薄膜トランジスタ、液晶表示パネルのアクティブマトリクス基板およびその製造方法を実現することにある。

【0006】

【課題を解決するための手段】 上記課題を解決するため

50

に、本発明に係る薄膜トランジスタにおいて講じた手段は、基板の表面側に、表層にチャンネルを形成可能な半導体領域と、この半導体領域の表面側にゲート絶縁膜を介して対峙するゲート電極と、半導体領域とゲート絶縁膜との境界面から基板側に向かって所定の縦方向距離を隔てて半導体領域に隣接するソース領域およびドレイン領域とを設けることである。本発明において、表層にチャンネルを形成可能な半導体領域とは、低濃度領域として形成されるチャンネル形成領域の他に、真性の多結晶シリコンからなるチャンネル形成領域も含む。

【0007】ここで、オフ電流を最小レベルにまで低減する目的に、縦方向距離を半導体領域の空乏層の厚さに比して短く、半導体領域のデバイ長さに比して長く設定することが好ましい。

【0008】また、ゲート電極から延出したゲート線と、ソース領域に導電接続する信号線とによって画素領域を区画し、ドレイン領域に各画素領域の画素電極が導電接続することによって、上記の薄膜トランジスタを備える液晶表示パネルのアクティブマトリクス基板を構成することができる。

【0009】このような構成の薄膜トランジスタの製造方法においては、たとえば、基板の表面側における半導体領域、ソース領域およびドレイン領域を形成すべき領域に対してシリコン層を形成する工程と、ゲート絶縁膜の形成領域を含む領域に絶縁膜を形成する工程と、ゲート電極の形成領域を含む領域に導電体層を形成する工程と、導電体層のみをパターニングしてゲート電極を形成するパターニング工程と、ゲート電極をマスクとして絶縁膜にエッチングを施してゲート絶縁膜を形成する工程と、ゲート電極をマスクとしてシリコン層にエッチングを施して、シリコン層のうちのソース領域およびドレイン領域を形成すべき領域のシリコン層の厚さを低減する工程とを行うのに加えて、パターニング工程以降のいずれかの工程に続いて、ゲート電極をマスクとしてシリコン層に不純物を導入してソース領域およびドレイン領域を形成する導電化工程を行う。

【0010】

【作用】本発明に係る薄膜トランジスタの作用を、nチャンネル型の場合で説明すると、ソース領域およびドレイン領域は、表層にチャンネルを形成可能な半導体領域に対して、半導体領域とゲート絶縁膜との境界面から基板側に向かって所定の縦方向距離（オフセット距離）、たとえば、半導体領域の空乏層厚さに比して短く、半導体領域のデバイ長さに比して長い距離（オフセット距離）を介して隣接しているため、ゲート電極に負のゲート電位を印加すると（オフ状態）、半導体領域の最表層側に、この領域のデバイ長さに相当する厚さの正孔蓄積層が形成されるが、この正孔蓄積層とソース領域およびドレイン領域とは接触しないため、ドレイン電流が流れない。これに対して、ゲート電極に正のゲート電位を印加する

と（オン状態）、半導体領域に表面側にチャンネルが形成され、ソース領域とドレイン領域とは同一導電型のチャンネルおよび前記のオフセット距離を介して導通状態となるため、通常の薄膜トランジスタと同レベルのオン電流が得られる。ここで、ソース領域およびドレイン領域と、半導体領域の最表層とは縦方向で三次元的に分離された構造、すなわち、各領域の厚さの差を利用した構造であるため、エッチング深さの制御で製造できるので、高い露光精度などを必要とせず、現状のディメンション制御の精度で充分に製造することができる。

【0011】

【実施例】つぎに、添付図面に基いて、本発明の一実施例について説明する。

【0012】図1は本例の薄膜トランジスタの概略断面図である。ここで、薄膜トランジスタは、液晶表示パネルのアクティブマトリクス基板を構成するガラス基板上に形成されている。

【0013】図において、ガラス基板1の表面側には薄膜トランジスタ2が形成されており、この薄膜トランジスタ2は、ガラス基板1の表面に形成された厚さが約900Åの真性の多結晶シリコン領域3（半導体領域）と、この多結晶シリコン領域3の表面側で厚さが約1000Åのゲート酸化膜4（ゲート絶縁膜）を介して多結晶シリコン領域3に対するシリコンおよび銅を含むアルミニウム合金たるゲート電極5と、多結晶シリコン領域3とゲート酸化膜4との境界面6から基板側に向かって縦方向距離Lを介して多結晶シリコン領域3に隣接する厚さがいずれも約500Åのソース領域7およびドレイン領域8とを有する。従って、多結晶シリコン領域3とゲート酸化膜4との境界面6と、ソース領域7およびドレイン領域8の表面との縦方向距離Lは、それらの厚さの差である約400Åに設定されている。ここで、ソース領域7およびドレイン領域8は、いずれもn型不純物としてのリンが導入されたn型拡散領域として形成されており、薄膜トランジスタ2はnチャンネル型薄膜トランジスタである。なお、それらの表面側に形成されている層は、CVD法により堆積された層間絶縁膜として利用されるSiO₂膜13であって、その第1の接続孔9aを介してソース領域7にソース電極9（信号線）が導電接続し、その第2の接続孔10aを介してドレイン領域8にドレイン電極10（画素電極）が導電接続している。ここで、薄膜トランジスタ2は、図2に示すとおり、液晶表示パネルのアクティブマトリクス基板1aに搭載された状態にあり、ゲート電極5から延出したゲート線5aと、ソース領域7に導電接続するソース電極9（信号線）とによって画素領域1bが格子状に区画された状態にある。

【0014】このような構成の薄膜トランジスタ2において、それをオン動作させるときに、ゲート電極5に正の電位を印加すると、多結晶シリコン領域3の表層側に

負の電荷が集中し、表面側からの厚さ W_0 の空乏層を伴ってn型のチャネルが形成される。その結果、ソース領域7とドレイン領域8とがチャネルおよびオフセット部11を介して導通状態になって、図3に実線42で示すドレイン電流(I_d)—ゲート電位(V_g)特性が得られる。この図において、ドレイン電流(I_d)—ゲート電位(V_g)特性は、図7に示した従来の薄膜トランジスタのドレイン電流(I_d)—ゲート電位(V_g)特性と略同様である。

【0015】一方、本例の薄膜トランジスタ2においては、それをオフ動作させるときにゲート電極5に負の電位を印加すると、多結晶シリコン領域3の最表面側に、この領域のデバイ長さ L_0 に相当する厚さの正孔蓄積層12が形成される。しかしながら、本例の薄膜トランジスタ2においては、多結晶シリコン領域3とゲート酸化膜4との境界面6と、ソース領域7およびドレイン領域8の表面とが縦方向距離して約400Åの距離(オフセット部11)を隔てているため、正孔蓄積層12とソース領域7およびドレイン領域8とは接触していない。それ故、本例の薄膜トランジスタ2においては、図3に実線42で示すように、ゲート電位(V_g)を負側に走査した場合であっても、ドレイン電流(I_d)は約10⁻¹² Aのレベルに保持され、図5および図6に示した従来の薄膜トランジスタのようにドレイン電流(オフ電流)が立ち上がることはない。

【0016】ここで、チャネルが形成されるチャネル形成領域としての半導体領域を真性の多結晶シリコン3で構成しているが、チャネル形成領域を真性の多結晶シリコンの他に、その不純物濃度が約 $1 \times 10^{16} / \text{cm}^3$ 以下の低濃度領域として形成した場合であっても、ゲート電極5に正の電位を印加したときには、半導体の空乏層は約1000Åの深さ(W_0)にまで、本例では900Åの半導体厚さ全域に形成されるのに対し、ゲート電極5に負の電位を印加したときには、正孔蓄積層12は、チャネル形成領域のデバイ長さ L_0 に対応して約100Åの深さにまで形成されるにすぎない。本例の薄膜トランジスタ2は、このような半導体の空乏層の深さと正孔蓄積層12の深さとのバランスを利用して、薄膜トランジスタ2のオフ電流特性を改善したものである。すなわち、ソース領域7およびドレイン領域8と、多結晶シリコン領域3の正孔蓄積層12が発生する最表面とを、縦方向で三次元的に分離したものである。このため、本例の薄膜トランジスタ3は、後述するとおり、各領域に対するエッチング深さによって、オフ電流特性の改善構造を構成できるため、その製造プロセスにおいては、二次元的に分離する構造と異なり、高い露光精度などを必要とせず、現状のディメンション制御のレベルで充分に製造することができる。

【0017】つぎに、薄膜トランジスタ2の製造方法を、図4を参照して、説明する。図4(a)～(b)は

いずれも薄膜トランジスタ2の製造方法の一部を示す工程断面図である。

【0018】まず、図4(a)に示すように、ガラス基板1の表面側における薄膜トランジスタ形成予定領域に対して、多結晶シリコン層15を形成する。ここで、多結晶シリコン層15は、温度が約480℃、かつ、低圧力の雰囲気中で、 Si_2H_6 を用いてシリコン層を形成するLPCVD成膜処理と、エキシマ・レーザアニール処理(再結晶処理)によって形成され、その厚さは約900Åである。

【0019】つぎに、ガラス基板1の表面側に、ECRCVD法によりゲート酸化膜4を形成するための厚さが約1000Åのシリコン酸化膜16(絶縁膜)を形成する。

【0020】さらに、ガラス基板1の表面側に、スパッタ法によりシリコンおよび銅を含むアルミニウム合金層17(導電体層)を形成する。

【0021】つぎに、図4(b)に示すように、アルミニウム合金層17をパターニングして、ゲート電極5を形成する。

【0022】つぎに、このゲート電極5をマスクとして、シリコン酸化膜16にエッチングを施して、ゲート酸化膜4のみを残す。このエッチングにおいては、シリコン酸化膜16に対して選択的にエッチングを行い、下層側たる多結晶シリコン層15の厚さが変動しないように、シリコン酸化膜16に対するエッチング能力が高く、多結晶シリコン層15に対するエッチング能力が低い選択エッチングが行われる。本例においては、 CHF_3 ガスを用いたRIE法を採用した。この条件でRIEを行えば、シリコン酸化膜16に対するエッチング速度と多結晶シリコン層15に対するエッチング速度の比が、約20:1ないし約30:1である。

【0023】つぎに、ゲート電極5をマスクとして、多結晶シリコン層15に対してエッチングを行い、図4(c)に示すように、多結晶シリコン層15のうち、ソース領域7およびドレイン領域8を形成すべき領域の多結晶シリコン層の厚さを約500Åにまで低減する。このエッチング処理もRIEにより行うが、エッチングガスとして、多結晶シリコン層15に対するエッチング能力が高い $\text{CHF}_3 + \text{O}_2$ ガスを用いる。

【0024】つぎに、ゲート電極5をマスクとして多結晶シリコン層15にn型の不純物としてのリンをイオンシャワードーピング処理により導入して、ソース領域7およびドレイン領域8を形成する(導電化工程)。その結果、ガラス基板1の表面側には、多結晶シリコン領域3(半導体領域)と、この多結晶シリコン領域3の表面側で厚さが約1000Åのゲート酸化膜4(ゲート絶縁膜)を介して多結晶シリコン領域3に対するアルミニウム合金たるゲート電極5と、多結晶シリコン領域3の表面から約400Åの縦方向距離 L を介して多結晶シリコ

10

20

30

40

50

ン領域3に隣接するソース領域7およびドレイン領域8とを有する薄膜トランジスタ2が形成される。

【0025】つぎに、図4(d)に示すように、CVD法により層間絶縁膜としてのSiO₂膜13を形成した後に、ソース電極9(信号線)をソース領域7に導電接続するための第1の接続孔9aおよびドレイン領域8にドレイン電極9(画素電極)を導電接続するための第2の接続孔10aを形成する。しかる後に、図1に示すようにソース電極9およびドレイン電極10を順次形成する。なお、本例においては、薄膜トランジスタ2を液晶表示パネルのマトリクスアレイのスイッチング素子として用いているため、ドレイン電極10としてITOからなる画素電極を採用している。

【0026】以上のとおり、本例の薄膜トランジスタ2の製造方法においては、ガラス基板1の表面側に積層した多結晶シリコン層15、シリコン酸化膜16およびアルミニウム合金層17を、それらの表層側から順次エッチングしていくだけで、オフ電流特性改善構造の薄膜トランジスタ2を製造することができるため、それ故、高い露光精度などを必要としないので、現状のディメンション制御のレベルで充分に製造することができる。

【0027】なお、この導電化工程については、ゲート電極5をマスクとして利用可能なように、ゲート電極5を形成した後であれば、いずれの工程順序で行ってもよい。

【0028】たとえば、ゲート電極5をパターニングした後、図4(b)に示す状態、すなわち、シリコン酸化膜16にエッチングを施す前、または、多結晶シリコン層15にエッチングを施す前にイオンシャワードレーン処理またはイオン注入処置処理を行ってもよい。この場合には、いずれも、多結晶シリコン層15にエッチングを施す前であるため、図1に示す多結晶シリコン層3のサイドウォール部3a、3bに対して、不純物の導入が行われないため、多結晶シリコン層3の不純物分布を制御しやすい。

【0029】なお、本例の薄膜トランジスタ2については、液晶表示パネルのマトリクスアレイのスイッチング素子などの他、その用途には限定のないものである。

【0030】

【発明の効果】以上のとおり、本発明に係る薄膜トランジスタにおいては、ソース領域およびドレイン領域は、表層にチャンネルを形成可能な半導体領域に対して、半導体領域とゲート絶縁膜との境界面から基板側に向かって所定の縦方向距離、たとえば、半導体領域の空乏層の厚さに比して短く、半導体領域のデバイ長さに比して長い距離を介して隣接していることに特徴を有している。従

って、たとえば、nチャネル型であれば、ゲート電極に負のゲート電位を印加しても、半導体領域の最表層に形成される正孔蓄積層とソース領域およびドレイン領域とは接触していない。それ故、ドレイン電流-ゲート電位特性におけるオフ電流特性を向上することができる。また、ソース領域およびドレイン領域と、半導体領域の最表層とを縦方向で三次元的に分離しているため、エッチング深さの制御で製造できるので、高い露光精度などを必要せず、現状のディメンション制御のレベルで充分に製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図2】図1に示す薄膜トランジスタを備える液晶表示パネルの概略平面図である。

【図3】図1に示す薄膜トランジスタのドレイン電流-ゲート電位特性を示すグラフ図である。

【図4】(a)ないし(d)のいずれも、図1に示す薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図5】従来の薄膜トランジスタの構造を示す断面図である。

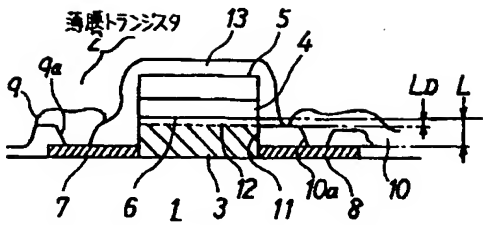
【図6】別の従来の薄膜トランジスタの構造を示す断面図である。

【図7】従来の薄膜トランジスタのドレイン電流-ゲート電位特性を示すグラフ図である。

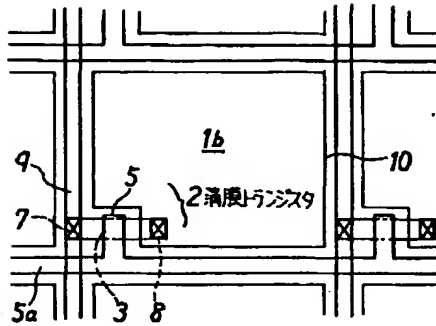
【符号の説明】

- 1・・・ガラス基板
- 1a・・・アクティブマトリクス基板
- 1b・・・画素領域
- 2・・・薄膜トランジスタ
- 3・・・多結晶シリコン領域
- 4・・・ゲート酸化膜(ゲート絶縁膜)
- 5・・・ゲート電極
- 6・・・境界面
- 7・・・ソース領域
- 8・・・ドレイン領域
- 9・・・ソース電極(信号線)
- 10・・・ドレイン電極(画素電極)
- 11・・・チャンネル
- 12・・・空間電荷層
- 15・・・多結晶シリコン層
- 16・・・シリコン酸化膜
- 17・・・アルミニウム合金層
- L・・・縦方向距離
- L₀・・・デバイ長さ

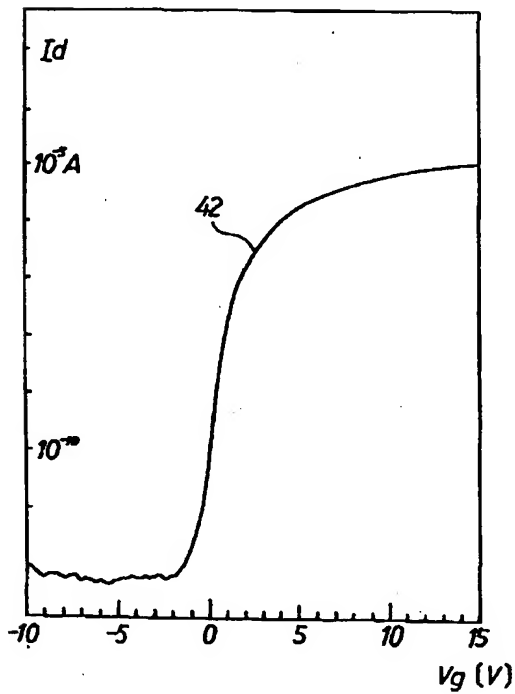
【図1】



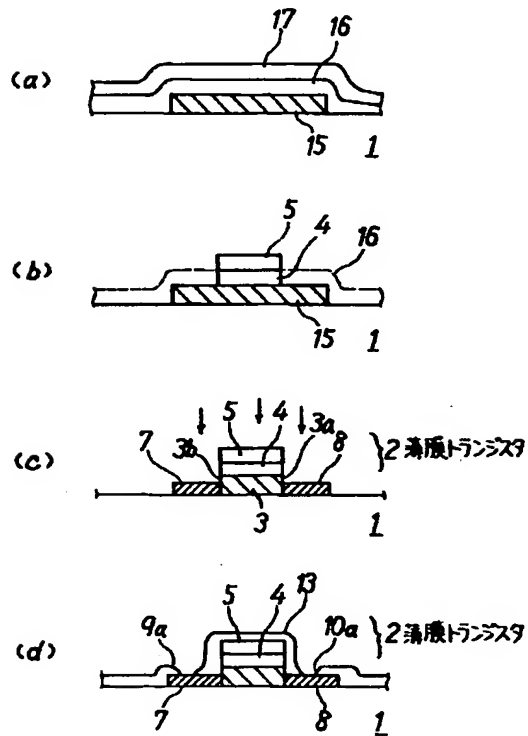
【図2】



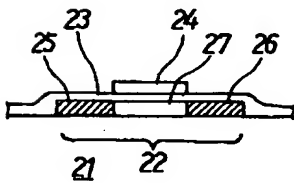
【図3】



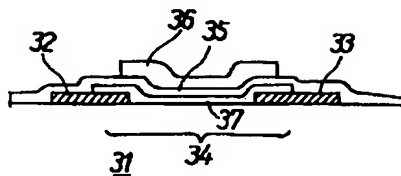
【図4】



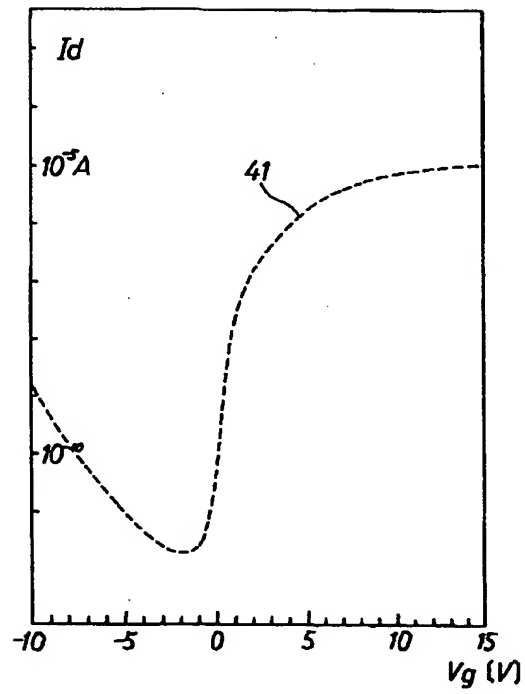
【図5】



【図6】



【図7】



フロントページの続き

(51)Int. Cl.⁵

H01L 27/12

識別記号

庁内整理番号

A 8728-4M

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.